

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-43541

(P2002-43541A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl.⁷

識別記号

F I

テラワード (参考)

H 0 1 L 27/105
21/8242
27/108

H 0 1 L 27/10

4 4 4 B 5 F 0 8 3
6 5 1

審査請求 未請求 請求項の数17 O L (全 6 頁)

(21) 出願番号 特願2001-204566(P2001-204566)

(22) 出願日 平成13年7月5日 (2001.7.5)

(31) 優先権主張番号 2 0 0 0 - 3 8 5 4 3

(32) 優先日 平成12年7月6日 (2000.7.6)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

(72) 発明者 梁 飛 龍

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

(72) 発明者 李 承 燦

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

(74) 代理人 100065215

弁理士 三枝 英二 (外10名)

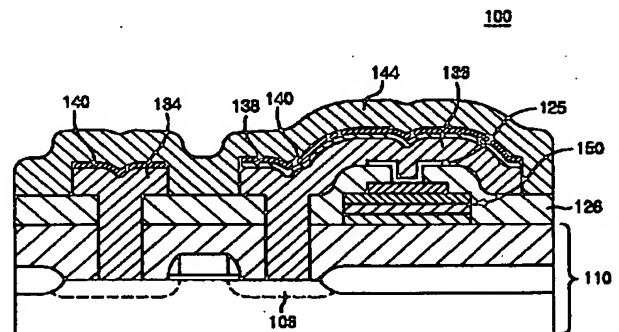
最終頁に続く

(54) 【発明の名称】 キャパシタを備えた半導体素子及びその製造方法

(57) 【要約】

【課題】 パッシベーション工程で発生する水素がキャパシタ内部に拡散されることを効果的に防止することのできる酸化アルミニウム膜からなる水素拡散防止膜を備えた半導体メモリ素子及びその製造方法を提供する。

【解決手段】 本発明半導体素子は、半導体素子において、トランジスタと該トランジスタ周辺に形成される第1絶縁膜とからなる活性領域と、下部電極、該下部電極上に形成されたキャパシタ薄膜及び該キャパシタ薄膜上に形成された上部電極からなり、前記第1絶縁膜上に形成されたキャパシタ構造と、前記トランジスタ及び前記キャパシタ構造上に形成された第2絶縁膜と、該第2絶縁膜上に形成され、前記トランジスタと前記キャパシタ構造とを電氣的に接続する金属配線と、前記金属配線上に形成された酸化アルミニウム膜からなる水素拡散防止膜とを含む。



1

【特許請求の範囲】

【請求項1】 半導体素子において、

トランジスタと該トランジスタ周辺に形成される第1絶縁膜とからなる活性領域と、
下部電極、該下部電極上に形成されたキャパシタ薄膜及び該キャパシタ薄膜上に形成された上部電極からなり、
前記第1絶縁膜上に形成されたキャパシタ構造と、
前記トランジスタ及び前記キャパシタ構造上に形成された第2絶縁膜と、
該第2絶縁膜上に形成され、前記トランジスタと前記キャパシタ構造とを電気的に接続する金属配線と、
該金属配線上に形成された酸化アルミニウム膜からなる水素拡散防止膜とを含んでなることを特徴とするキャパシタを備えた半導体素子。

【請求項2】 前記水素拡散防止膜が、単原子蒸着法または物理気相蒸着法により約2nmから約100nmの厚さに形成されている請求項1に記載のキャパシタを備えた半導体素子。

【請求項3】 前記金属配線が、Ti、TiN、Alまたはこれらの混合物からなる請求項1に記載のキャパシタを備えた半導体素子。

【請求項4】 前記上部電極上に形成され、前記金属配線と該上部電極とを接続するTiN膜と、
前記金属配線及びビットライン上に形成された金属配線間絶縁(IMD)膜と、
水素雰囲気中でPECVD法により前記金属配線上に形成されたパッシベーション膜とをさらに含んでなる請求項1に記載のキャパシタを備えた半導体素子。

【請求項5】 前記IMD膜が、約100nm厚さのSiON膜、約400nm厚さのSOG膜及び約400nm厚さのSRO膜からなる三重膜である請求項4に記載のキャパシタを備えた半導体素子。

【請求項6】 前記パッシベーション膜が、USG及びSi₃N₄膜からなる二重膜である請求項4に記載のキャパシタを備えた半導体素子。

【請求項7】 前記キャパシタ薄膜が、SBT及びPZTから選ばれる強誘電体物質からなるものである請求項1に記載のキャパシタを備えた半導体素子。

【請求項8】 半導体素子製造方法において、

トランジスタと該トランジスタ周辺に形成された第1絶縁膜とからなる活性領域を準備する第1ステップと、
下部電極、該下部電極上に形成されたキャパシタ薄膜及び該キャパシタ薄膜上に形成された上部電極からなるキャパシタ構造を前記第1絶縁膜上に形成させる第2ステップと、

前記トランジスタ及び前記キャパシタ構造上に第2絶縁膜を形成させる第3ステップと、

金属配線膜の形成及びそのエッチングによって、前記トランジスタと前記キャパシタ構造とを電気的に接続するための金属配線を前記第2絶縁膜上に形成させる第4ステ

2

ップと、

前記キャパシタ構造上に酸化アルミニウム膜からなる水素拡散防止膜を形成させる第5ステップとを含むことを特徴とするキャパシタを備えた半導体素子の製造方法。

【請求項9】 前記水素拡散防止膜が、単原子蒸着法または物理気相蒸着法により約2nmから約100nmの厚さに形成される請求項8に記載のキャパシタを備えた半導体素子の製造方法。

【請求項10】 前記金属配線が、Ti、TiN、Alまたはこれらの混合物からなるものである請求項8に記載のキャパシタを備えた半導体素子の製造方法。

【請求項11】 前記上部電極上に、前記金属配線と該上部電極とを接続するTiN膜を形成させる第6ステップと、
前記金属配線及びビットライン上に金属配線間絶縁(IMD)膜を形成させる第7ステップと、

水素雰囲気中でPECVD法により前記金属配線上にパッシベーション膜を形成させる第8ステップとをさらに含む請求項1に記載のキャパシタを備えた半導体素子の製造方法。

【請求項12】 前記IMD膜が、約100nm厚さのSiON膜、約400nm厚さのSOG膜及び約400nm厚さのSRO膜からなる三重膜である請求項11に記載のキャパシタを備えた半導体素子の製造方法。

【請求項13】 前記パッシベーション膜が、USG及びSi₃N₄膜からなる二重膜である請求項11に記載のキャパシタを備えた半導体素子の製造方法。

【請求項14】 前記第8ステップが、約320℃から約400℃の温度範囲で実施される請求項11に記載のキャパシタを備えた半導体素子の製造方法。

【請求項15】 前記キャパシタ薄膜が、SBT及びPZTから選ばれる強誘電体物質からなるものである請求項8に記載のキャパシタを備えた半導体素子の製造方法。

【請求項16】 前記第2絶縁膜が、BPSGおよびTEOSからなる群から選ばれる少なくとも1種の膜である請求項8に記載のキャパシタを備えた半導体素子の製造方法。

【請求項17】 前記第3ステップ以後に、更に、約500℃から約900℃の温度範囲で10分以上、窒素及び酸素雰囲気中で前記第2絶縁膜をアニールしてその膜質を緻密にするステップを含む請求項8に記載のキャパシタを備えた半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、半導体素子、特に、メモリセルで用いるキャパシタ構造を備えた半導体素子及びその製造方法に関する。

【0002】

【従来の技術】 周知のように、一つのトランジスタと一つのキャパシタとから構成されているメモリセルを有するDRAMは、微細化を通じてますます小型化されることによって高集積化されている。しかしながら、依然として

3

前記メモリセルの領域の減少が要求されている。

【0003】この要求を充足させるため、トレンチまたはスタック構造のような3次元構造のキャパシタが提案されている。しかし、3次元構造のキャパシタの製造過程は、長くてコストも多くかかる。従って、複雑な製造過程なしに必要な量の情報を確保しながらセル領域を減少させることのできる新しいメモリ素子が強く要求されている。

【0004】前記要求を満足させるためDRAMの場合には、BST(BaxSrxTiO₃)、Ta₂O₅などの高誘電体物質をキャパシタ薄膜として用いている。しかし、高誘電体物質をキャパシタ薄膜として利用したDRAM素子は、小型化、低コスト、迅速な処理速度、低電力消費などの長所にもかかわらず、メモリの揮発性、それによるリフレッシュ動作の必要性などの問題を有している。

【0005】上記DRAMの問題を克服するためのものとして、既存のシリコン酸化膜、シリコン窒化膜の代りにSBT(SrBiTaO_x)、PZT(PbZrTiO_x)などの強誘電体特性を有するキャパシタ薄膜を利用した強誘電体メモリ素子(FeRAM)が提案された。該FeRAMは、強誘電体物質の残留分極特性により不揮発性特性を有し、低電力で作動できる利点がある。

【0006】DRAM、FeRAMなどのメモリ素子を製造する時、半導体素子を湿気、不純物などの外部の有害環境から保護するために、金属配線膜上にパッシベーション膜を形成する工程が採用される。このパッシベーション膜は、化学気相成長(CVD)法または物理気相蒸着(PVD)法により水素雰囲気中で作成されるが、このパッシベーション膜形成工程中に発生した水素ガスは、メモリセルのキャパシタを劣化させる。すなわち、水素のガス及びイオンは、キャパシタの上部電極及び側面を貫通して、結局キャパシタ薄膜に至りキャパシタ薄膜の強誘電体物質を成す酸素原子と反応してキャパシタの特性を低下させることとなる。

【0007】また、金属配線形成後、金属配線間絶縁膜形成時にも水素原子のキャパシタ中への拡散によるキャパシタの劣化が発生し得る。

【0008】このような問題が、メモリセル製造において所望の生産性、信頼性及び収率を得ることを困難としている。

【0009】

【発明が解決しようとする課題】本発明は上記従来のキャパシタを備えた半導体素子及びその製造方法における問題点を解決することを目的とする。すなわち、金属配線間絶縁膜及びパッシベーション膜形成工程で発生する水素がキャパシタ内部に拡散することを効果的に防止し得る、酸化アルミニウム膜からなる水素拡散防止膜を有するキャパシタを備えた半導体メモリ素子及びその製造方法を提供することをその目的とする。

【0010】

4

【課題を解決するための手段】上記目的を達成した本発明によるキャパシタを備えた半導体素子は、トランジスタと該トランジスタ周辺に形成される第1絶縁膜とからなる活性領域と、下部電極、該下部電極上に形成されたキャパシタ薄膜及び該キャパシタ薄膜上に形成された上部電極からなり、前記第1絶縁膜上に形成されたキャパシタ構造と、前記トランジスタ及び前記キャパシタ構造上に形成された第2絶縁膜と、該第2絶縁膜上に形成され、前記トランジスタと前記キャパシタ構造とを電気的に接続する金属配線と、該金属配線上に形成された酸化アルミニウム膜からなる水素拡散防止膜とを含んでなることを特徴とする。

【0011】また、本発明によるキャパシタを備えた半導体素子の製造方法は、トランジスタと該トランジスタ周辺に形成された第1絶縁膜とからなる活性領域を準備する第1ステップと、下部電極、該下部電極上に形成されたキャパシタ薄膜及び該キャパシタ薄膜上に形成された上部電極からなるキャパシタ構造を前記第1絶縁膜上に形成させる第2ステップと、前記トランジスタ及び前記キャパシタ構造上に第2絶縁膜を形成させる第3ステップと、金属配線膜の形成及びそのエッチングによって、前記トランジスタと前記キャパシタ構造とを電気的に接続するための金属配線を前記第2絶縁膜上に形成させる第4ステップと、前記キャパシタ構造上に酸化アルミニウム膜からなる水素拡散防止膜を形成させる第5ステップとを含んでなることを特徴とする。

【0012】

【発明の実施の形態】以下、本発明にかかるキャパシタを備えた半導体素子及びその製造方法の実施の形態の具体例を、図面を参照して説明する。

【0013】図1及び図2Aないし2Gは、本発明の好ましい実施例にかかる、メモリセルで用いられるキャパシタを備えた半導体素子100及びその製造方法を説明するための断面図である。図1及び図2Aないし2Gに示す同じ部分は、同じ図面符号で示した。

【0014】図1に示す通り、半導体素子100は、活性領域110、キャパシタ構造150、第2絶縁膜126、ビットライン134、金属配線136、酸化アルミニウム膜からなる水素拡散防止膜138並びにビットライン134及び金属配線136上に形成される金属配線間絶縁(IMD)膜140を含んでなる。

【0015】本発明の実施例では、IMD膜140は、約100nm厚さのSiON膜、約400nm厚さのSOG(spin on glass)膜及び約400nm厚さのSR0(silicon rich oxide)膜からなる三重膜で構成され、CVD法またはPVD法により形成される。そして、酸化アルミニウム膜(Al_xO_y、好ましくはAl₂O₃)からなる水素拡散防止膜138は、単原子蒸着(ALD)法またはPVD法により約2nmから約100nmの厚さに形成される。ここで、水素拡散防止膜138は、水素が半導体素子のキャパシタ構造中に拡散されることを防止する重要な役割

5

を演じる。これは水素原子の拡散速度が酸化アルミニウム膜内では著しく減少するためである。

【0016】また、パッシベーション膜144は、水素雰囲気下で約320℃から約400℃の温度で、PECVD (plasma enhanced chemical vapor deposition) 法により、ビットライン134、IMD膜140及び第2絶縁膜126上に形成される。本発明では、パッシベーション膜144は、USG (undoped silicate glass)、 Si_3N_4 またはUSG/ Si_3N_4 の二重膜からなることができ、特に二重膜であるのが好ましい。このパッシベーション膜144は、湿気、不純物のような外部の有害環境から半導体素子を保護するために形成される。

【0017】半導体素子100において、ビットライン134は、拡散領域106のいずれか1つと電気的に接続され、キャパシタ構造150の上部電極は、他のいずれか1つの拡散領域106と、金属配線136を介して接続されている。この場合、ビットライン134と金属配線136とは、電気的に互いに絶縁されている。キャパシタ構造150の下部電極は、一定の電圧を印加するためにプレートライン (図示せず) と接続されている。そして、下部電極と上部電極との間には、SBT、PZTなどの強誘電体物質からなるキャパシタ薄膜がある。図面符号125は、上部電極と金属配線136との間の接着力を向上させるために上部電極上に形成されたTiN (titanium nitride) 膜を示す。

【0018】図2Aないし2Gは、本発明の好ましい実施例にかかるキャパシタを備えた半導体素子100の製造方法を説明するための概略的な断面図である。

【0019】図2Aに示したように、半導体素子100の製造工程では、まず半導体基板102、素子分離領域104、拡散領域106、ゲート酸化膜112、ゲートライン113、スペーサ114及び第1絶縁膜116からなる活性領域110を準備する。拡散領域106のいずれか1つは、ソースとして、また他の一つは、ドレインとしての役割をする。第1絶縁膜116は、BPSG (boron-phosphor-silicate glass)、MTO (medium temperature oxide) などの物質からなることができる。

【0020】次いで、Tiまたは TiO_x からなるバッファ膜118を50乃至250nmの厚さに第1絶縁膜116上に形成させる。そして、第1金属膜120、誘電体膜122及び第2金属膜124をバッファ膜118上に順に形成させる。本発明の実施例では、誘電体膜122は、SBT (SrBiTaO_x)、PZT (PbZrTiO_x) などの強誘電体物質からなり、スピコーティング、CVDなどの方法により形成される。

【0021】次いで、図2Bに示したように、第2金属膜124をエッチングして上部電極124Aを形成させる。次いで、誘電体膜122、第1金属膜120及びバッファ膜118をエッチングしてキャパシタ薄膜122A、下部電極120A及びバッファ118Aを形成させる。かくして、バッファ118A、下部電極120A、キャパシタ薄膜122A及び上部電極124Aからなるキャパシタ構造150が形成される。後続工程において、プレートライン (表示せず) を形成するための下部電

6

極120Aの大きさは、上部電極124Aの大きさと異なるように形成させることが好ましい。

【0022】次いで、図2Cに示したように、BPSG、MTO、TEOS (tetra-ethyl-ortho-silicate) またはBPSGとTEOSとの二重膜からなる第2絶縁膜126をCVD法によりキャパシタ構造150上に形成させ、その表面を化学的研磨 (CMP) 法、BPSGフロー法などにより平坦化させる。尚、かくして形成された第2絶縁膜126は、次いで、約500℃から約900℃の温度範囲で10分以上、窒素及び酸素雰囲気下でアニールすることによって、その膜質をより緻密にすることができる。この第2絶縁膜126のアニール処理は、引き続きいずれかのステップの後に行うこともできる。

【0023】次いで、図2Dに示したように、フォトリソグラフィ、RIE (reactive ion etching) などのプラズマエッチング法を用いて、各々第2及び第1絶縁膜126及び116を貫通して拡散領域106上部に、第1及び第2開口部128及び130を形成させる。第3開口部132も前記方法を用いて第2絶縁膜126を貫通してキャパシタ構造150上に形成させる。その後、上部電極124Aと金属配線136との間の接着力を向上させるために、TiN膜125を上部電極上の第3開口部に形成させる。このTiN膜125の形成は省略することもできる。

【0024】次いで、図2Eに示したように、Ti、TiN、Alまたはこれらの混合物からなる金属配線136を開口部128、130及び132を含む表面全体上に形成させた後、エッチングしてビットライン134及び金属配線136を形成させる。

【0025】次いで、図2Fに示したように、酸化アルミニウム膜からなる水素拡散防止膜138をALD法またはPVD法により前記金属配線136上に形成させる。その後、金属配線間絶縁 (IMD) 膜140を前記ビットライン134と前記金属配線136上に形成する。ここで注意すべきことは、前記水素拡散防止膜138は、水素のキャパシタ構造中への侵入を効果的に防止するために、好ましくはキャパシタ構造150を十分に覆うものとするところである。

【0026】最後に、図2Gに示したように、USG (undoped silicate glass)、 Si_3N_4 またはUSG/ Si_3N_4 の二重膜からなるパッシベーション膜144を、PECVD法を利用して、水素雰囲気下で約320℃から約400℃の温度範囲で、金属配線136及び第2絶縁膜126上に、より詳しくは、金属配線134及び136上のIMD膜140と第2絶縁膜126との上に形成させる。前記パッシベーション膜144は、湿気、不純物のような外部の有害環境から素子を保護するために形成される。

【0027】前記したように、半導体素子100を形成することによって、キャパシタ構造150を水素侵入による損傷から保護することができる。すなわち、酸化アルミニウム膜からなる水素拡散防止膜138を形成させることによって、水素拡散を効果的に防止することができる。

【0028】尚、本発明は、本実施例に限られるもので

7

はない。本発明の趣旨から逸脱しない範囲内で多様に変更実施することが可能である。

【0029】

【発明の効果】上記のように、本発明によれば、酸化アルミニウム膜からなる水素拡散防止膜を形成させることに基づいて、キャパシタ内部に水素が拡散されることを効果的に抑制して半導体メモリ素子の製造収率向上及び素子特性向上を期待することができ、素子製造工程開発を容易にすることができる。特に、本発明方法はFeRAM素子の製造に適している。なぜなら、金属配線形成以後の工程は、DRAM製造工程をそのまま適用することができ、FeRAM製造のための別の後続工程が不要であるという経済的な利点を有しているからである。

【図面の簡単な説明】

【図1】本発明の好ましい実施例に係る半導体素子の断面図である。

【図2A】本発明の好ましい実施例に係る半導体素子の製造方法を説明するための断面図である。

【図2B】本発明の好ましい実施例に係る半導体素子の製造方法を説明するための断面図である。

【図2C】本発明の好ましい実施例に係る半導体素子の製造方法を説明するための断面図である。

【図2D】本発明の好ましい実施例に係る半導体素子の製造方法を説明するための断面図である。

【図2E】本発明の好ましい実施例に係る半導体素子の製造方法を説明するための断面図である。

【図2F】本発明の好ましい実施例に係る半導体素子の製造方法を説明するための断面図である。

【図2G】本発明の好ましい実施例に係る半導体素子の製*

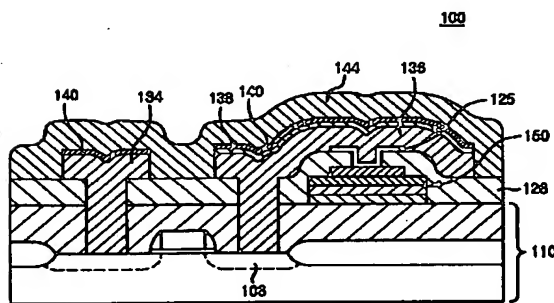
8

*造方法を説明するための断面図である。

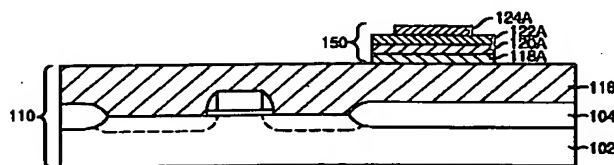
【符号の説明】

100	本発明半導体素子
102	半導体基板
104	素子分離領域
106	拡散領域
110	活性領域
112	ゲート酸化膜
113	ゲートライン
114	スペーサ
116	第1絶縁膜
118	バッファ膜
120	第1金属膜
122	誘電体膜
124	第2金属膜
118A	バッファ
120A	下部電極
122A	キャパシタ薄膜
124A	上部電極
125	TiN膜
126	第2絶縁膜
128、130、132	開口部
134	ビットライン
136	金属配線
138	酸化アルミニウム膜(水素拡散防止膜)
140	金属配線間絶縁(IMD)膜
144	パッシベーション膜
150	キャパシタ構造

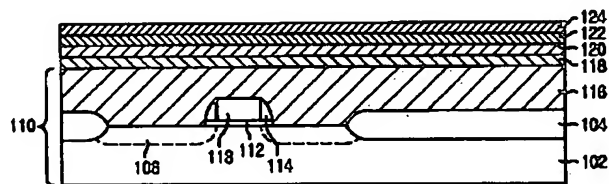
【図1】



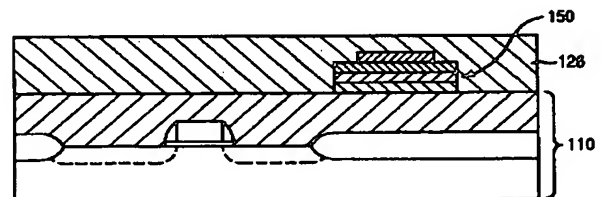
【図2B】



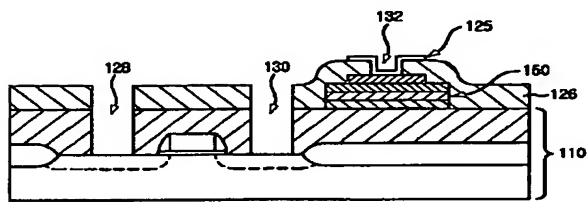
【図2A】



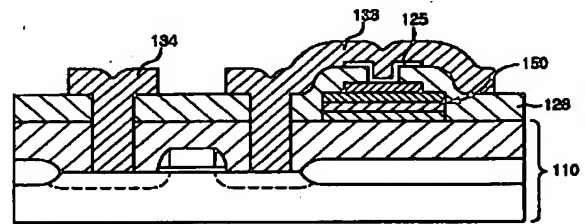
【図2C】



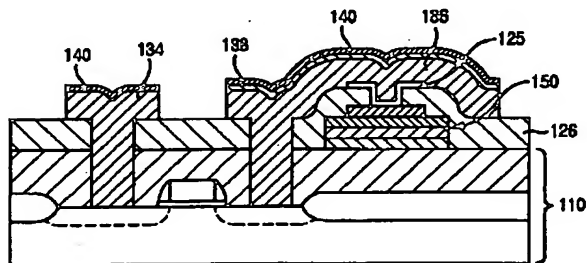
【図2D】



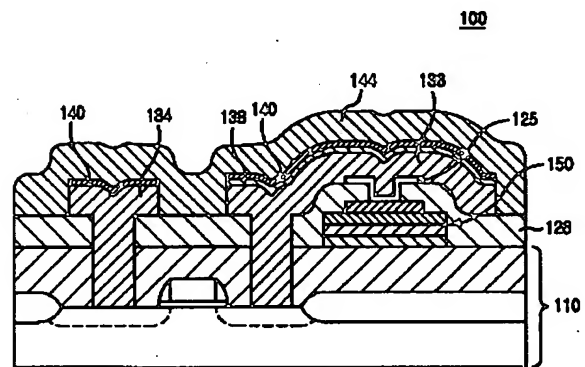
【図2E】



【図2F】



【図2G】



フロントページの続き

(72) 発明者 洪 錫 敬
大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

(72) 発明者 姜 南 守
大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

Fターム(参考) 5F083 GA25 JA15 JA17 JA36 JA39
JA40 JA56 PR21 PR22 PR33